



(11)Publication number:

03-006826

(43) Date of publication of application: 14.01.1991

(51)Int.Cl.

H01L 21/316

(21)Application number : 01-141591

(71)Applicant: FUJI ELECTRIC CO LTD

(22)Date of filing:

02.06.1989

(72)Inventor: MATSUZAKI KAZUO

TAKAYAMA TOKIO

201071008

(54) METHOD FOR FORMING OXIDE FILM OF SILICON WAFER

(57)Abstract:

PURPOSE: To easily form an oxide film having a thickness of $1\mu m$ or more at a desired position without high temperature state of a silicon wafer by first forming a porous reaction film anodizing at the wafer, and then anodizing the film.

CONSTITUTION: P-type and N-type silicon wafers 8 having 14 -180cm are used, anodized in aqueous hydrogen fluoride solution 5 having approx. 50%, thereby forming a porous reaction film on the wafers. The increasing speed of the film thickness corresponds to 1μ m/min by 1V of application voltage in case of the Ptype silicon or to about $0.1\mu m/min$ by the same voltage in case of the N-type silicon. Then, after the wafer is washed with flowing water for 10min, it is anodized with conc. phosphoric acid. A generated current density is 4mA/cm2, the porous film having 1μ m thick is anodized for 3min. According to this method, an oxide film can be formed easily in a desired thickness at a low temperature even on a part to be difficult to selectively form the oxide film such as the sidewall in the through hole of the wafer.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Japanese Unexamined Patent Publication No. 3-6826/1991 (Tokukaihei 3-6826)

The following is a partial English translation of exemplary portions of non-English language information that may be relevant to the issue of patentability of the claims of the present application.

(Examples)

The following will describe the invention by means of examples.

Figure 1 is a schematic cross-sectional view of a device used in the invention to subject a silicon wafer to anodic reaction and the device's wiring. A platinum plate (cathode) 7 and a silicon wafer (anode) 8 were disposed in a container 6 charged with an aqueous solution 5 of hydrofluoric acid. The components were wired as shown.

Anodic processing was carried out on p-type and n-type silicon wafers of 14 to 18 Ω cm in an about 50% aqueous solution of hydrofluoric acid. Current density and voltage upon the formation of a porous reaction film on the wafer were measured. Results are shown in the graph of Figure 2. The upper curve in the figure represents p-type silicon, and the lower one n-type silicon. P-type silicon is

easier than n-type silicon to make porous. It is easier to form a thick porous film from p-type silicon than from n-type silicon. The growth rate of the film was 1 μ m/min. at 1 volt for p-type silicon and 0.1 μ m/min. at the same voltage for n-type silicon.

Next, the silicon wafers bearing the porous film thereon were washed in running water for 10 min. Thereafter, the aqueous solution 5 of hydrofluoric acid shown in Figure 1 was replaced with concentrated phosphoric acid (H₃PO₄), as an example, for anodization.

⑩日本国特許庁(JP)

10 特許出願公開

⑩公開特許公報(A)

平3-6826

®[nt.Cl.5

證別記号

庁内整理番号 6940-5F

❸公開 平成3年(1991)1月14日

21/316 21/3205 H 01 L

H 01 L 21/88 6810-5F 審査請求 未請求 請求項の数 1 (全3頁)

Ε

❷発明の名称

シリコンウエハの酸化膜形成方法

平1-141591 頭 20符

平1(1989)6月2日

個発

神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会

夫 明 個発

神奈川県川崎市川崎区田辺新田1番1号

社内

富士電機株式会社 创出

弁理士 山口

神奈川県川崎市川崎区田辺新田1番1号

2. 特許請求の範囲

1) はじめに、ふっ化水素酸水溶液中でシリコンカ ェハに陽極処理を施し、前記ウェハ衷面に、少な くとも1mの厚さをもつ多孔質の陽極反応膜を形 成しておき、次いで、前記ゥエハの陽極酸化可能 な電解質中で、前記反応膜を陽極処理することを 特徴とするシリコンカエハの酸化膜形成方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、シリコン半導体素子に設けられる表 面保護膜としての、シリコン酸化膜を形成する方 法に関する.

(従来の技術)

*徒来知られているシリコン酸化膜の形成方法は、 例えば、水薫気や設備を供給して、1000℃以上の 高温で、シリコン表面を散化する熱酸化法,400℃ 程度の温度下でモノシランガス(\$18。)と酸素を反 応させ、シリコン裏面に堆積させる然 C V D 法。

このガスをプラスマ分解し、反応させて堆積させ るプラズマCVD法、 有機シランとオゾンの反応 を利用して堆積させるCVD法 (TPOS法),も しくは、各種の世界實中で陽極酸化する方法など がある。

例えば、第3回はシリコン半導体チップの模式 断面図を示し、チップ1の賞通孔の内面に、シリ コン酸化膜2を形成し、そこに半田電極3を充塡 したものであり、 4 はチップ要面にのみ形成した 半田 覚極である。 第 3 図 のように、貫通孔の個壁 にのみ、選択的にシリコン酸化膜を形成する場合、 前送の従来技術のうち、各種CVD法で堆積する のは極めて困難であり、また熱酸化法は1000℃以 上の高温処理を行なうと、熱愛によるクラックが 発生し、 400で以下の低温プロセスが必要となる などの理由からこれらは何れも適切でない。

したがってここのような場合に、要面保護膜と してシリコン酸化膜を形成するのは、罹傷酸化法 が最も望ましい方法であると言える。

(発明が解決しようとする課題)

しかしながら、陽極酸化法にも、次のような問題がある。

> また、世解質中におけるシリコン表面の隠極酸化膜の成長は、イオン泳動を促進する酸化酸中の 作世界に依存している。動くものはシリコン・イ オンであり、陽極酸化膜の成長は、第一近似とし ては、シリコン・イオンが酸化膜・シリコンの界

いう点で好ましぐない。

本発明は上述の点に指みてなされたものであり、 その目的は、ふっ化水素酸水溶液中における陽極 反応によって得られた反応膜を、高温状態にする ことなく、膜厚 1 m以上のシリコン酸化膜として 形成する方法を提供することにある。

(課題を解決するための手段)

上記の課題を解決するために、本発明の方法は、まずふっ化水素酸水溶液中で、シリコンの多孔質 陽極反応膜を、少なくとも1 畑の厚さに形成しておき、その後隔極反応膜を、高温酸化する代りに、シリコン酸化膜を溶かすことなくシリコンの陽極 酸化が可能な質解質中で、隔極酸化を行なうものである。

(作用)

上記のように、本発明では、低温で放化膜を厚く形成するために、予めふっ化水素酸水溶液中で、関西反応度を行なわせ、陽極反応度を形成しておく。この陽極反応膜は多孔質で、SI-+、Si-F、Si-O、Si-Siの結合からなる膜であり、10mのオ

面から故化膜中を通って、故化限・な解質界面へ と執送され、そこで故化反応が行なわれるとして 説明することができる。故化度を通るイオン電流 を一定に保つためには、故化度度が増加するにつ れて、故化膜にかかる電圧も増さなければならな い。ところが、この電圧がある程度大きくなると、 故化膜の降伏がおこり、結験破壊の原因となるの で、故化膜厚を増加させることが困難となる。

ーターまで厚くすることができる。次いで原とのないは解質中でことのないは解質中でことに移動を開発したができる。関係などのの反応を得るといいのである。関係などのの機様は、前に述べた通り、シリコン・イオンの映動によるものであるがいると、酸素イオンが反応膜全体に设置し、高にはできることなく、厚い酸化膜を形成することができる。

(实施例)

以下本発明を実施例に基づき説明する。

第1回は、本発明に用いられ、シリコは課を示した機式断回回にあり、からと素に強なり、ないにではない。 はいのののではないである。 はいないのののでは、ないのののでは、はいいのでは、はいいのでは、ない、 いっとのでは、ない、 いっとのでは、 いっというには、 いっとは、 いっとは

議図に示す。第2図の曲線イは P 形シリコン・曲線 ロ は n 形シリコンを衷わす。 P 形シリコンは、 n 形シリコンより多孔質とするのが容易であり、 呼い 多孔質酸を形成し島い。 腹厚の増加速度は、 p 形シリコンの場合は同じ電圧 1 V で 1 戸/分・n 形シリコンの場合は同じ電圧で約0.1 戸/分であった。

次いで、この多孔質膜の形成されたシリコンウェースを、流水で10分間水洗した後、第1図に示したかっ化水素酸水溶液5から、例えば濃燐酸(8,P0.)に変えて、陽極酸化を行なった。このときの生成型流密度は、4mA/dであり、1mmの厚さの多孔質膜の陽極酸化は3分間で行なうことができた。

以上の如く、本発明の方法によれば、例えば、第3回に示したようなシリコンウェハの質過孔の内面側壁など、酸化膜を選択的に形成することが困難な部分にも、低温で容易に所望の厚さだけ、酸化膜を形成することが可能となる。しかもこの方法は、何ら高価な設備を必要としないから、コストの低減に寄与することができる。

(発明の効果)

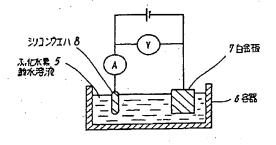
シリコン半導体業子の大きには、シリコン半導体業子の大きには、一般を形成する方の内に、一般を形成では、一般のでは、一般のでは、一般のでは、一般のでは、一般のでは、一般のでは、一般のでは、一般のでは、一般のでは、一般のでは、一般のでは、一般のでは、一般のでは、一般のでは、一般のである。

4. 図面の簡単な説明

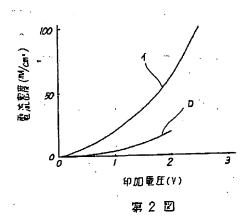
第1回は本発明を行なう過程で用いる階極処理 装置とその配線を示す模式断面図、第2回は隔極 処理における電圧と電流密度の関係線図、第3回 は半導体チップの模式筋面図である。

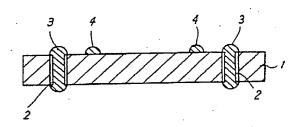
1: 半導体チップ、2: 酸化膜、3, 4: 半田電 低、5: ふっ化水素酸水溶液、6: 容弱、7: 白 金板、8: シリコンウエハ。

代理人升度士 山 口



第 1 図





连3 区

THIS PAGE BLANK (USPTO)

This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

| BLACK BORDERS
| IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
| FADED TEXT OR DRAWING
| BLURRED OR ILLEGIBLE TEXT OR DRAWING
| SKEWED/SLANTED IMAGES
| COLOR OR BLACK AND WHITE PHOTOGRAPHS
| GRAY SCALE DOCUMENTS
| LINES OR MARKS ON ORIGINAL DOCUMENT
| REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
| OTHER:

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)